

TITLE

メモリモジュール用表示装置

Background of the Invention**1. Field of the invention:**

本発明は、メモリモジュール用表示装置に関する。

2. Description of the Prior art:

従来より、コンピュータ本体の汎用スロット（ソケット）に規格化されたメモリモジュールを接続することにより、コンピュータのメモリを増設することが行われている。メモリモジュールとしては、256M（メガ）ビットSDRAM（Synchronous Dynamic Random Access Memory）を8個実装した256MバイトのDIMM（Dual Inline Memory Module）等が用いられている。通常、256MビットSDRAMのアドレス信号端子はA0～A12の13個設けられており、行アドレス（Row Address）の信号線13本および列アドレス（Column Address）の信号線10本を接続可能となっている。そして、コンピュータ本体からA0～A12のアドレス信号が入力されると、全SDRAMの256Mビット全領域について、対応するアドレスのデータを読み書きすることができる。

また、特開平9-128511号公報に開示されたアクセスランプ付メモリカードも知られている。このメモリカードは、LEDを内蔵しており、R/W制御信号がアクティブ状態となると、タイマ部が起動し、メモリカードに実装されているLEDが0.1秒間点灯するようにされている。ここで、R/W制御信号はメモリカードへの読み書きを行う場合にアクティブ状態となる信号であるため、読み書きの種類に関係なく一律にLEDが点灯される。

さらに、特開2001-266098号公報に開示されたICカードも知られている。このICカードも、LEDを内蔵しており、特開2001-266098号公報の段落0039に記載されるように、ホスト装置からアクセス要求があると、消去、書込み、リード、又はベリファイなどの動作が指示される度に、赤色LEDと緑色LEDとが交互点滅するようにされている。同ICカードも、ア

クセスの種類に関係なく一律にLEDが点滅する。

従来のメモリモジュールにおいては、搭載された半導体メモリが動作しているのかどうかを知るのは容易ではなかった。

特開平9-128511号公報や特開2001-266098号公報に開示された技術では、メモリカードやICカードに対してアクセスが行われているのかどうかを知ることはできるものの、どのようなアクセスが行われているかが分からず、不便と感ずることがあった。また、LED表示が分かりにくいので、半導体メモリへのアクセス状況が把握しにくく、便利とは言えなかった。さらに、表示素子の無いメモリカードやICカードについて内蔵された半導体メモリが動作しているのかどうかを知るのは容易ではなく、不便と感ずることがあった。

Summary of the Invention

本発明は、上記課題にかんがみてなされたもので、メモリモジュールを使用する際の利便性を向上させることが可能なメモリモジュール用表示装置の提供を目的とする。

上記目的を達成するため、本発明は、コンピュータ本体に接続される規格化されたメモリモジュールに搭載された読み書き可能な半導体メモリへのアクセス状況を表示素子にて表示する表示回路を備えるメモリモジュール用表示装置であって、上記表示素子は、上記半導体メモリへのアクセスの種類別に対応してそれぞれ設けられ、上記表示回路は、上記アクセスの種類に対応した上記表示素子にて上記半導体メモリに対する当該種類のアクセスの頻度に対応する表示を行うことを特徴とする。

すなわち、アクセスの種類に対応した表示素子にて、半導体メモリに対する当該種類のアクセスの頻度に対応する表示が行われる。これにより、メモリモジュールに搭載された半導体メモリに対してどのようなアクセスが行われているのかが分かるようになる。

以上説明したように、本発明によれば、メモリモジュールに搭載された半導体メモリに対してどのようなアクセスが行われているのかが分かり、メモリモジュールを使用する際の利便性を向上させることが可能となる。

上記表示素子がＬＥＤ（Light Emitting Diode）や蛍光表示管等のような発光素子とされていると、暗い場所でもアクセスの頻度に対応する表示を容易に確認することが可能となる。むろん、上記表示素子がＬＣＤ（Liquid Crystal Display）等のような非発光素子とされても、明るい場所では表示を確認可能であるし、バックライトが設けられていると、暗い場所でも表示を容易に確認することが可能となる。

上記アクセスの種類には、半導体メモリへの書き込み、半導体メモリからの読み出しが考えられる他、半導体メモリのデータの消去、データのペリファイ等も考えられる。

上記半導体メモリは、ＤＲＡＭやＳＲＡＭといったＲＡＭ等とすることができる。

また、本発明は、コンピュータ本体に接続される規格化されたメモリモジュールに搭載された読み書き可能な半導体メモリへのアクセス状況を表示素子にて表示する表示回路を備えるメモリモジュール用表示装置であって、上記表示回路は、上記表示素子にて、上記半導体メモリに対するアクセスの頻度に対応する表示を行うとともに当該アクセスの最大頻度に対応する表示を保持することを特徴とする。

すなわち、半導体メモリに対するアクセスの頻度に対応する表示が表示素子にて行われるとともに、アクセスの最大頻度に対応する表示が保持される。これにより、半導体メモリに対するアクセスの頻度に対応する表示が分かりやすくなるので、半導体メモリへのアクセス状況が把握しやすくなる。

上記のように構成した場合、半導体メモリへのアクセス状況を分かりやすくさせ、メモリモジュールを使用する際の利便性を向上させることが可能となる。

また、本発明は、コンピュータ本体に設けられた汎用の本体コネクタに接続可能なメモリモジュール接続端子を有する規格化されたメモリモジュールに搭載された読み書き可能な半導体メモリへのアクセス状況を表示素子にて表示するメモリモジュール用表示装置であって、上記メモリモジュール接続端子と同形状の接続端子と、上記本体コネクタと同形状のコネクタと、上記本体コネクタに上記接続端子が接続され、上記コネクタに上記メモリモジュール接続端子が接続された

とき、上記半導体メモリに対するアクセスの頻度に対応する表示を上記表示素子にて行う表示回路とを具備することを特徴とする。

すなわち、表示素子が設けられていないメモリモジュールでも、本メモリモジュール用表示装置を介してコンピュータ本体に接続することができ、半導体メモリに対するアクセスの頻度に対応する表示を表示素子にて行うことができる。これにより、種々のメモリモジュールについてアクセスの頻度に対応した表示が行われる。

上記のように構成した場合、表示素子が設けられていないメモリモジュールでも半導体メモリに対するアクセスの頻度に対応する表示が行われ、メモリモジュールを使用する際の利便性を向上させることが可能となる。

ここで、上記接続端子が形成されるとともに上記コネクタが取り付けられた基板と、この基板に接続されて引き出された信号ケーブルと、この引き出された信号ケーブルが接続されて上記表示素子を実装した表示ユニットとをさらに備える構成としてもよい。

上記のように構成した場合、表示素子を自由に配置することができるので、メモリモジュールを使用する際の利便性がさらに良好となる。

上記表示回路は、上記アクセスの種類別に所定期間中における上記半導体メモリへのアクセスの回数をカウントし、カウントした回数に対応する表示を上記アクセスの種類に対応した表示素子にて行う構成としてもよい。この場合、所定期間中のカウント回数がアクセスの頻度となる。

上記のように構成した場合、簡易な構成でアクセスの頻度を表示することができる。

その際、カウント回数に対応する表示を行った後にカウントした回数をリセットし、再び所定期間中におけるアクセスの回数をカウントして表示を行うと、アクセスの頻度が分かりやすく表示される。

上記表示回路は、上記アクセスの種類に対応した表示素子であって上記カウントした回数に対応する数の表示素子を表示させてもよい。ここで、半導体メモリに対するアクセスは、ハードディスク等のような磁気記録媒体に対するアクセスより遙かに速い。そこで、アクセスの頻度を表示する表示素子の数に対応させる

ことにより、非常に速いアクセスが行われる半導体メモリであっても一目でアクセスの頻度を把握することが可能となる。

上記のように構成した場合、非常に速いアクセスが行われる半導体メモリに対するアクセスの頻度を一目で把握することができるので、さらに利便性が向上する。

上記表示回路は、上記アクセスの種類に対応して状態が順次変化するカウント用信号を生成し、上記所定期間中、上記カウント用信号の状態に対応する種類のアクセスの回数を共通のカウanta回路でカウントし、同所定期間終了時、当該種類に対応した上記表示素子にて同カウントした回数に対応する表示を行ってもよい。

上記のように構成した場合、アクセスの種類に関係なく同じカウンタ回路でアクセスの回数がカウントされるので、カウンタ回路を簡素化させることができる。

このような構成は、メモリモジュールに供給されるクロック信号やセレクト信号やライトイネーブル信号を利用して実現することができる。

上記のように構成した場合、カウンタ回路を簡素化させることができるとともに、メモリモジュール用のクロック信号に同期して動作するため、クロック信号の周波数に関係なく動作させることができる。

また、解除用分周回路を設けてもよい。

上記のように構成した場合、アクセスの最大頻度に対応する表示の保持が定期的に解除されるので、アクセスの頻度をさらに容易に把握することが可能となる。また、メモリモジュール用のクロック信号に同期して動作するため、クロック信号の周波数に関係なく動作させることができる。

なお、本発明を構成する各種回路は、プログラマブル論理デバイス（PLD、Programmable Logic Device）により実現されるものも含まれる。

Brief deskription of the Drawings

図1は、アクセス表示モジュールの外観を示す正面図である。

図 2 は、256MビットSDRAMの端子と同端子に接続される信号線の要部を示す図である。

図 3 は、PCが生成する信号、READL__WRITH信号、および、CMD__EN信号のタイミングを示すタイミングチャートである。

図 4 は、アクセス表示モジュール10の構成の概略を示す図である。

図 5 は、シーケンサの動作タイミングを示すタイミングチャートである。

図 6 は、データテーブルT1を示す図である。

図 7 は、コマンドデコーダの回路構成を示す回路図である。

図 8 は、コマンドデコーダの機能テーブルを示す図である。

図 9 は、アクセスカウンタの回路構成を示す回路図である。

図 10 は、アクセスカウンタの機能テーブルを示す図である。

図 11 は、解除用分周回路の回路構成を示す回路図である。

図 12 は、解除用分周回路の動作タイミングを示すタイミングチャートである。

図 13 は、変形例において解除用分周回路の動作タイミングを示すタイミングチャートである。

図 14 は、LEDデコーダと読み出し表示用表示部とからなる回路構成を示す回路図である。

図 15 は、LEDデコーダと書き込み表示用表示部とからなる回路構成を示す回路図である。

図 16 は、LEDの点灯状態を示す図である。

図 17 は、デコーダDER0～DER7の機能テーブルを示す図である。

図 18 は、読み出し表示用のLEDデコーダの機能テーブルを示す図である。

図 19 は、書き込み表示用のLEDデコーダの機能テーブルを示す図である。

図 20 は、変形例においてLEDデコーダと書き込み表示用表示部とからなる回路構成を示す回路図である。

Description of the Preferred embodiments

以下、下記の順序に従って本発明の実施形態を説明する。

- (1) メモリモジュール用表示装置の構成の概略：
- (2) メモリモジュール用表示装置の構成の詳細、作用：
- (3) 変形例：

- (1) メモリモジュール用表示装置の構成の概略：

図1は、本発明のメモリモジュール用表示装置の一例であるアクセス表示モジュール10の外観を、コンピュータ本体のマザーボード90とメモリモジュール80とともに示している。なお、上下左右の位置関係を説明するときには、同図を基準として説明する。

メモリモジュール80は、汎用品であり、規格化された形状のプリント基板81に、複数の256MビットSDRAM（読み書き可能な半導体メモリ）83が搭載されているとともに、EEPROM84等も実装されている。また、基板81の下側縁部には、正面側と背面側とに各92ピンとされた184ピンDIMM仕様のメモリモジュール接続端子82が形成されている。同メモリモジュール80は、デスクトップ型パーソナルコンピュータ（PC）用の増設メモリカードであり、デスクトップ型PC（コンピュータ本体）のマザーボード90に設けられた本体コネクタ（スロット）91に端子82を挿入して接続可能である。本体コネクタ91は、端子82の配置に対応して184箇所の導通部を形成した汎用のコネクタであり、規格化された184ピンのDIMMを装着可能な形状とされている。メモリモジュール80を上方からコネクタ91に挿入すると、マザーボード90に対して略垂直に取り付けることができ、デスクトップ型PCに接続することができる。

本アクセス表示モジュール10は、アダプタ部20と、信号ケーブル30と、表示ユニット部40とを備えている。アダプタ部20では、プリント基板21に、接続端子22が形成され、コネクタ23が取り付けられ、信号ケーブル30が接続されて引き出されているとともに、バッファ回路を有するドライバIC24が実装されている。接続端子22は、正面側と背面側とに各92ピンとされた184ピンDIMM仕様の端子とされ、メモリモジュール接続端子82と同形状の端子とされている。コネクタ23は、本体コネクタ91と同形状とされ、規格化された184ピンのDIMMを装着可能である。基板21には、接続端子22の各

ピンとコネクタ 2 3 の対応する各導通部とを電氣的に接続する回路がプリントされている。

アダプタ部 2 0 を上方から本体コネクタ 9 1 に挿入すると、マザーボード 9 0 に対して略垂直に取り付けることができる。この状態でメモリモジュール 8 0 を上方からコネクタ 2 3 に挿入すると、基板 2 1 と平行に取り付けることができ、メモリモジュール 8 0 はアダプタ部 2 0 を介してコンピュータ本体に接続され、通常通りに動作する。

信号ケーブル 3 0 は、例えば 1 0 芯のフラットケーブルを用いることができ、一端 3 1 が基板 1 1 に接続され、他端 3 2 が表示ユニット部 4 0 に接続されている。

表示ユニット部 4 0 では、表示ユニット 4 0 a に図示しない基板が收容されるとともにメモリモジュールの半導体メモリ 8 3 へのアクセス状況を表示するための複数の L E D（表示素子） 5 1， 5 2 が実装されている。複数の L E D 5 1， 5 2 は、半導体メモリへのアクセスの種類別に対応してそれぞれ複数設けられている。具体的には、半導体メモリ 8 3 からの読み出しの頻度に対応する表示を行うための 8 個の読み出し表示用 L E D 5 1 と、半導体メモリ 8 3 への書き込みの頻度に対応する表示を行うための 8 個の書き込み表示用 L E D 5 2 とが、それぞれ直線状に配置されている。そして、表示ユニット部 4 0 は、P C のフロントパネル等に取り付けられるようになっている。

本発明の表示回路は、表示ユニット部 4 0 に收容された回路とドライバ I C 2 4 とを備えていることになる。そして、本体コネクタ 9 1 に接続端子 2 2 が接続され、コネクタ 2 3 にメモリモジュール接続端子 8 2 が接続されたとき、本表示回路は、アクセスの種類に対応した L E D にて半導体メモリ 8 3 に対する当該種類のアクセスの頻度に対応する表示を行う。また、本表示回路は、アクセスの最大頻度の表示を保持するピークホールド機能も有している。

アクセス表示モジュール 1 0 をアダプタのようにコンピュータ本体とメモリモジュールとの間に接続可能とすることによって、表示素子が実装されていないメモリモジュールでも本アクセス表示モジュール 1 0 を介してコンピュータ本体に接続することができる。すなわち、表示素子が実装されていないメモリモジュール

ルでも半導体メモリに対するアクセスの頻度に対応する表示が行われ、メモリモジュールを使用する際の利便性をさらに向上させることが可能となる。

また、表示素子を実装した表示ユニットをアダプタ部から引き出した構造とすることによって、表示素子を自由に配置することができ、メモリモジュールを使用する際の利便性がさらに向上する。

図2は、2バンク構成に対応したメモリモジュールに実装される256MビットSDRAM（半導体メモリ）の端子と同端子に接続される信号線の要部を示している。なお、SDRAM内に端子名を記載するとともにSDRAM外に信号線名を記載している。

同SDRAMは、図示しない電源ラインに接続されて電圧を供給され、クロック信号CLK、セレクト信号（CS0またはCS1）、クロックイネーブル信号（CKE0またはCKE1）、行アドレス信号RAS、列アドレス信号CAS、ライトイネーブル信号WE、アドレス信号A0～A12、図示しない拡張アドレス信号BA0、BA1等を入力し、データ信号（図ではD0～D7）を入出力する。RAS（Row Address Strobe）信号はSDRAMに対して行アドレスを与えるタイミングを伝える信号を意味しており、CAS（Column Address Strobe）信号はSDRAMに対して列アドレスを与えるタイミングを伝える信号を意味している。WE信号は、半導体メモリへの書き込みの可否を表す信号であり、半導体メモリへの書き込み許可がL（ロー）、書き込み不可がH（ハイ）で表されている。PCは、図示しないメモリコントローラを備えており、所定周波数のパルス状のCLK信号を生成してメモリモジュールに供給するとともに、CS0、CS1、CKE0、CKE1、RAS、CAS、WE、A0～A12、BA0、BA1信号等を生成し、CLK信号に同期させて信号線に供給する。また、PCは、64種類のデータ信号D0～D63をCLK信号のタイミングに合わせて信号線に供給したり信号線から入力したりする。64本のデータ信号線は8本ずつ8組に分けられ、メモリモジュール中の各SDRAMに8本ずつ接続されている。

CS0、CS1信号は、アクセスするバンクを選択するチップセレクト信号（セレクト信号）であり、各バンクについて選択状態または非選択状態を表す信号である。同信号は、バンクの選択状態がL（ロー）、非選択状態がH（ハイ）で表

された負論理の信号である。SDRAMは、CS0信号またはCS1信号をCS端子にて入力し、CS端子がL（選択状態）であるときにWE信号の状態に対応するアクセスが可能となっている。CKE1、CKE2信号は、CLK信号入力の有効状態がH、無効状態がLの正論理の信号である。CS0、CKE0信号はBANK1に供給され、CS1、CKE1信号はBANK2に供給され、残りの信号が両BANK1，2に供給されている。

以上の構成により、メモリモジュール80は、PCから入力されるパルス状のCLK信号に同期してSDRAMへのアクセスを行うとともに、SDRAMについて選択状態を表すCS0、CS1信号をPCから入力すると、当該PCから入力される書き込みの可否を表すWE信号の状態に対応するアクセスをSDRAMに対して行う。

図3は、上記SDRAMに対してアクセスを行うためにPCが生成する信号のタイミングを示している。

バンク1内のSDRAMからデータを読み出す場合、タイミングt1のように、CLK信号の立ち上がり時点（L→H）でCS0信号をL、RAS信号をH、CAS信号をL、WE信号をH（書き込み不可）とする。同バンク1内のSDRAMにデータを書き込む場合、CLK信号の立ち上がり時点でCS0信号をL、RAS信号をH、CAS信号をL、WE信号をL（書き込み許可）とする。バンク2内のSDRAMに対してアクセスする場合には、CS0信号の代わりにCS1信号をLとする（タイミングt3，t4）。

本アクセス表示モジュール10は、上記CLK、CS0、CS1、RAS、CAS、WE信号を利用して、アクセスの種類別にアクセスの頻度に対応する表示を行う。

（2）メモリモジュール用表示装置の構成の詳細、作用：

図4は、アクセス表示モジュール10の構成の概略を示している。アダプタ部20では、接続端子22を介してPCからCS0、CS1、RAS、CAS、WE、CLK信号を入力してドライバICの各バッファゲートに導き、信号ケーブル30を介してバッファ後のこれらの信号を表示ユニット部40に対して出力している。バッファ回路を介してこれらの信号を用いるようにしたことにより、メ

メモリモジュールの動作に影響を与えずにSDRAMへのアクセスの頻度を表示することが可能となる。接続端子22は電源ラインVcc、接地ラインGNDにも接続されており、PCからの電源電圧をドライバICに供給するとともに、信号ケーブル30を介して表示ユニット部40に供給している。

本発明の表示回路の主要部を表示ユニット40a内に設けたことにより、各LEDを別々に点灯駆動するための信号を信号ケーブルで伝達する必要がないので、信号ケーブルの本数を少なくさせることができる。

表示ユニット部40には、プリント基板上に、二つのプログラマブル論理デバイスPLD1、PLD2、読み出し表示用表示部41、書き込み表示用表示部42が実装されている。PLD1、PLD2には、例えばAltera社のEPM7032のようなMAX7000シリーズのPLDを用いることができる。所定フォーマットのハードウェア記述言語を使うことにより、PLD1、PLD2内に各種回路61～63、71～73を構築している。

図5は、シーケンサ61の動作タイミングを示している。図6は、シーケンサ61に設けられた16ビットカウンタと各種信号の出力タイミングとを対応させたデータテーブルT1を示している。シーケンサ61は、メモリモジュール80に供給されるCLK信号（例えば200MHz）を入力し、READL__WRITH信号を生成してコマンドデコーダ62とLEDデコーダ72、73に対して出力し、負論理のMASK信号および負論理のCLR信号を生成してアクセスカウンタ63に対して出力し、負論理のLEDCLK信号を生成して分周回路71とLEDデコーダ72、73に対して出力する。ここで、READL__WRITH信号がLであるときにはSDRAMからの読み出しの頻度をカウントする期間とされ、HであるときにはSDRAMへの書き込みの頻度をカウントする期間とされる。

シーケンサ61に設けられたカウンタは、CLK信号の立ち上がりを検出すると1ずつカウントアップし、16進数で”FFFF”の次に”0000”に戻るようにになっている。初期状態の”0000”では、シーケンサ61は、テーブルT1に従って、MASK信号出力をL、LEDCLK信号出力をH、CLR信号出力をH、READL__WRITH信号出力をLにする。次に、シーケンサ61

は、LEDCLK信号を”0001”でLにして”0002”でHにし、CLR信号を”0002”でLにして”0003”でHにし、MASK信号を”0003”でHにして”8000”でLにし、READL__WRITH信号を”8000”でHにし、LEDCLK信号を”8001”でLにして”8002”でHにし、CLR信号を”8002”でLにして”8003”でHにし、MASK信号を”8003”でHにする。

以下、カウンタが”0000”に戻ると、以上のシーケンスを繰り返す。

なお、カウンタの最上位ビットをそのままREADL__WRITH信号にすることができる。

以上により、READL__WRITH信号の状態は”8000”カウント毎（例えば164 μ sec 毎）にLとHとの間で切り替わり、MASK信号はREADL__WRITH信号の切り替わり時点から”3”カウント分のみLとなり、LEDCLK信号はMASK信号がLの状態から”1”カウント遅れて”1”カウント分のみLとなり、CLR信号はMASK信号がLの状態から”1”カウント遅れて”1”カウント分のみLとなる。

ここで、SDRAMへのアクセスの回数をカウントする期間は、MASK信号がHである所定期間とされる。

また、READL__WRITH信号は、CLK信号を分周して上記所定期間に対応した期間毎にH（書き込みカウント状態）とL（読み出しカウント状態）との間で状態が交互に変化するカウント用分周信号（カウント用信号）となる。

そして、シーケンサ61は、CLK信号を入力して上記所定期間に対応した期間毎にアクセスの種類に対応して状態が順次変化するカウント用分周信号を生成するカウント用分周回路を備えていることになる。

図7は、コマンドデコーダ62の回路構成を示している。なお、図中の白丸は反転入力または反転出力を意味している。以下も、同様である。

コマンドデコーダ62は、各種ゲート回路62a～eを備えている。同コマンドデコーダ62は、メモリモジュール80に供給されるCS0、CS1、RAS、CAS、WE信号を入力するとともに上記READL__WRITH信号を入力し、正論理のCMD__EN信号を生成してアクセスカウンタ63に対して出力する。

ここで、CMD__EN信号がHになるとSDRAMへのアクセスの頻度がカウントされる。

CS0信号とCS1信号とは、反転されてORゲート62a, bに入力され、両者の論理和が反転されてそれぞれANDゲート62c, dに対して出力される。すなわち、バンク1, 2のいずれかが選択されていればCS0、CS1信号のいずれかがLとなり、この場合にはORゲート62a, bはともにLのCS信号を出力する。一方、バンク1, 2の両方とも選択されていなければCS0、CS1信号の両方がHとなり、この場合にはORゲート62a, bはともにHのCS信号を出力する。

図8は、上記コマンドデコーダ62がCMD__EN信号を生成するときの入力側のCS、RAS、CAS、WE、READL__WRITH信号と出力側のCMD__EN信号との状態を機能テーブルにより示している。なお、“X”は信号がどのような状態でもよいことを示している。以下も、同様である。図に示すように、CS信号がH（非選択状態）の場合、RAS信号がLの場合、または、CAS信号がHの場合、CMD__EN信号はLとなる。また、CS信号がL、RAS信号がH、かつ、CAS信号がLの場合、WE信号とREADL__WRITH信号とが異なる電圧レベルであればCMD__EN信号はHとなり、同じ電圧レベルであればCMD__EN信号はLとなる。

以上の構成により、図3に示すように、CS0信号またはCS1信号がL、RAS信号がH、かつ、CAS信号がLの場合、READL__WRITH信号がLかつWE信号がHであればCMD__EN信号はHとなり、READL__WRITH信号がHかつWE信号がLであればCMD__EN信号はHとなる。

図9は、アクセスカウンタ（共通のカウンタ回路）63の回路構成を示している。アクセスカウンタ63は、10ビットカウンタ63aとANDゲート63bを備えている。同アクセスカウンタ63は、メモリモジュール80に供給されるCLK信号、シーケンサ61からのMASK信号とCLR信号、コマンドデコーダ62からのCMD__EN信号を入力し、10ビットのカウント信号CMD__D0～9信号を生成してLEDデコーダ72, 73に対して出力する。ここで、CMD__D0信号が最下位ビットの信号であり、CMD__D9信号が最上位ビット

の信号である。CLR信号は、Lになると10ビットカウンタを0にリセットする信号となる。

CMD_EN信号とMASK信号とはANDゲート63bに入力され、両者の論理積がCNTENB信号とされてカウンタ63aに入力される。

なお、カウンタ63aには、種々の汎用的なカウンタICやカウンタ回路を用いてもよい。

図10は、上記アクセスカウンタ63がCMD_D0～9信号を生成するときの入力側のCMD_EN、MASK、CLR、CLK信号と出力側のCMD_D0～9信号との状態を機能テーブルにより示している。図に示すように、CLR信号がL（リセットオン状態）の場合、10ビットカウンタの全ビットは”0”となる。CLR信号がH（リセットオフ状態）、CMD_EN信号がH、MASK信号がH（マスクオフ状態）であり、かつ、CLK信号が立ち上がった場合、10ビットカウンタは1カウントアップする。なお、カウンタの上限を超えるとカウンタは0に戻るようになっているが、カウンタの上限を超えないようにMASK信号で表される所定期間を設定している。CLR信号がH、かつ、CMD_EN信号またはMASK信号がLの場合、10ビットカウンタはカウントを停止する。

READL_WITH信号がH（書き込みカウント状態）である場合、CMD_EN信号がHになるのはCS0信号またはCS1信号がL（選択状態）かつMASK信号がH（マスクオフ状態）である所定期間中であって、WE信号がL（書き込み許可）の場合のみである。この場合に、RAS信号がH、CAS信号がL、CLR信号がH（リセットオフ状態）であり、かつ、メモリモジュール80に供給されるCLK信号が立ち上がったとき、10ビットカウンタがカウントアップされる。ここで、CLK信号が立ち上がった瞬間にCS0信号またはCS1信号がLであれば本モジュール10は選択状態を表すセレクト信号を入力したことになる。

これにより、データ書き込みの頻度の計測期間中にデータ書き込みの回数をカウントすることができる。

一方、READL_WITH信号がL（読み出しカウント状態）である場合、

CMD_EN信号がHになるのはCS0信号またはCS1信号がL（選択状態）かつMASK信号がH（マスクオフ状態）である所定期間中であって、WE信号がH（書き込み不可）の場合のみである。この場合に、RAS信号がH、CAS信号がL、CLR信号がH（リセットオフ状態）であり、かつ、メモリモジュール80に供給されるCLK信号が立ち上がったとき、10ビットカウンタがカウントアップされる。

これにより、データ読み出しの頻度の計測期間中にデータ読み出しの回数をカウントすることができる。

以上説明したように、アクセスカウンタ63は、READL_WITH信号が書き込みカウント状態である場合の所定期間中では、WE信号が書き込み許可を表すLとされているときにPCから選択状態を表すセレクト信号が入力された回数を10ビットカウンタにてカウントし、READL_WITH信号が読み出しカウント状態である場合の所定期間中では、WE信号が書き込み不可を表すHとされているときにPCから選択状態を表すセレクト信号が入力された回数を10ビットカウンタにてカウントする。このように、本アクセスカウンタ63は、アクセスの種類に関係なくSDRAMへのアクセスの回数をカウントする。

半導体メモリへのアクセスの回数をカウントするカウンタ回路をアクセスの種類に関係なく同じにすることにより、アクセスの種類別にカウンタ回路を設ける必要がなくなるので、カウンタ回路を簡素化させることができる。本実施形態のようにPLDを用いる場合には、カウンタ回路用のロジック数を削減することが可能となる。

図11は、解除用分周回路71の回路構成を示している。解除用分周回路71は、Tフリップフロップ（T-FF）71a～d、ORゲート71eを備えている。同解除用分周回路71は、シーケンサ61からのLEDCLK信号を入力し、アクセスの最大頻度に対応する表示の保持の解除状態を表す負論理のKEEP信号を生成してLEDデコーダ72、73に対して出力する。

図12に示すように、FF71a～FF71dは4ビットのカウンタとして用いられ、LEDCLK信号が立ち上がったときに1カウントアップし、16進数で”F”のときにLEDCLK信号が立ち上がると”0”に戻る。FF71a～

FF 7 1 d の各 Q 出力は、OR ゲート 7 1 e に入力され、論理和が K E E P 信号とされる。

以上により、解除用分周回路 7 1 は、C L K 信号を分周して R E A D L _ W R I T H 信号の周期よりも長い所定間隔毎にアクセスの最大頻度に対応する表示の保持の解除状態を表す信号を生成する。

なお、T - F F の数を増減させてビット数を変えることによって、K E E P 信号を L にする間隔を容易に変えることができる。

ここで、図 1 3 に示すように、K E E P 信号が L である期間を短くして L E D 表示がなるべく途切れないようにして見た目を良好にさせるために、OR ゲート 7 1 e から出力される信号を K E E P _ H 信号として、当該 K E E P _ H 信号と C L R 信号とを別の OR ゲートに入力し、両者の論理和を K E E P 信号としてもよい。

また、上記 K E E P _ H 信号と L E D C L K 信号とを別の OR ゲートに入力し、両者の論理和を K E E P 信号としてもよい。

なお、解除用分周回路 7 1 には、種々の汎用的なカウンタ I C やカウンタ回路を用いてもよい。4 ビットカウンタを用いる場合、L E D C L K 信号を 4 ビットカウンタに入力すると、4 ビットの出力の論理和を K E E P 信号または K E E P _ H 信号とすることができる。

図 1 4 は、8 個の読み出し表示用 L E D 5 1 を点灯駆動する L E D デコーダ 7 2 と、同 L E D 5 1 を有する読み出し表示用表示部 4 1 と、からなる回路構成を示している。図 1 5 は、8 個の書き込み表示用 L E D 5 2 を点灯駆動する L E D デコーダ 7 2 と、同 L E D 5 2 を有する書き込み表示用表示部 4 2 と、からなる回路構成を示している。なお、両表示部 4 1, 4 2 は同じ構成とされており、L E D デコーダ 7 3 に N O T ゲート 7 3 a が設けられて R E A D L _ W R I T H 信号を反転して使用する点を除いて両 L E D デコーダ 7 2, 7 3 は同じ構成とされている。

図 1 6 にも示すように、読み出し表示用 L E D 5 1 は最下位から最上位に向かって D R 0 ~ D R 7 が設けられ、書き込み表示用 L E D 5 2 は最下位から最上位に向かって D W 0 ~ D W 7 が設けられている。そして、アクセスの種類別にアク

セスの頻度に対応する数のLEDがより下位のLEDから点灯するようにされている。

読み出し表示用表示部41では、LEDデコーダ72からのRLED0～7信号（負論理）を各DR0～7のカソード側に入力するようになっている。各DR0～7のアノード側と電源ラインVccとの間には、それぞれプルアップ抵抗RW0～RW7が接続されている。従って、負論理のRLED0～7信号がLであるときに対応するDR0～7が点灯し、Hであるときに対応するDR0～7は消灯状態となる。また、書き込み表示用表示部42でも、負論理のRLED0～7信号がLであるときに対応するDR0～7が点灯状態となり、Hであるときに対応するDR0～7は点灯していない状態となる。

LEDデコーダ72は、各発光ダイオードDR0～7に対応して、デコーダDER0～DER7、ゲート回路GR10～17, GR20～27, GR30～37, GR40～47、フリップフロップFFR0～FFR7を備えている。同LEDデコーダ72は、シーケンサ61からのREADL__WRITH信号とLEDCLK信号を入力し、アクセスカウンタ63からのCMD__D0～9信号を入力するとともに、解除用分周回路71からのKEEP信号を入力し、上述した負論理のRLED0～7信号を生成して表示部41に対して出力する。これにより、SDRAMからのデータ読み出しというアクセスの種類に対応した表示素子にて当該SDRAMに対する当該種類のアクセスの頻度に対応する表示が表示部41にて行われる。

各デコーダDER0～DER7は、上記10ビットカウンタの値と対比するための閾値m0～m7を記憶したメモリを備えている。ここで、m0～m7は、10進数で $0 \leq m_0 < m_1 < \dots < m_7 \leq 1022$ の整数としている。各デコーダDER0～DER7は、CMD__D0～9信号を入力し、当該信号で表されるカウント値と閾値m0～m7とを対比し、当該カウント値が閾値m0～m7よりも大きい場合にHの比較信号を生成してORゲートGR30～37に対して出力し、閾値m0～m7以下の場合にLの比較信号を生成してORゲートGR30～37に対して出力する。むろん、当該カウント値が閾値以上の場合にHの比較信号を生成し、閾値よりも小さい場合にLの比較信号を生成してもよい。

図17は、上記デコーダDER0～DER7が比較信号（DER0～DER7とする）を出力するときの入力側のCMD_D信号で表されるカウント値（CMD_Dとする）と出力側の比較信号DER0～DER7との状態を機能テーブルにより示している。図に示すように、 $CMD_D \leq m0$ のときには全ての比較信号DER0～DER7がLとなり、 $m0 < CMD_D \leq m1$ のときには最下位の比較信号DER0のみがHとなり、 $m1 < CMD_D \leq m2$ のときには下位から順に比較信号DER0, DER1がHとなり、以下同様にして、 $m7 < CMD_D$ のときには最下位から最上位まで全ての比較信号DER0～DER7がHとなる。

FFR0～FFR7は、KEEP信号の入力がLであるときにQ出力をLにリセットするとともにREADL_WITH信号の入力がHであるときのみLEDCLK信号が立ち上がるとORゲートGR30～37からの出力状態を保持する条件分け機能付きDフリップフロップである。LEDCLK信号が立ち上がらなければQ出力であるRLED0～7信号の状態は保持されるし、READL_WITH信号の状態がLであってもQ出力の状態は保持される。例えばTEXAS INSTRUMENTS社のSN74107のように負論理のCLR入力端子を有するJ-Kフリップフロップを利用する場合、CLR入力端子がHであってJ端子とK端子とがともにLのときにQ端子からの出力を保持し続けるフリップフロップであれば、CLR入力端子にKEEP信号を入力し、クロック入力端子にLEDCLK信号を入力し、READL_WITH信号をK端子に入力するとともに、ORゲートGR30～37からの出力とREADL_WITH信号との論理積をANDゲートで生成してJ端子に入力すればよい。

PLDのハードウェア言語で記述する場合、if文を用いてFFR0～FFR7の機能を記述することができる。

すなわち、FFR0～FFR7は、KEEP信号の入力がLである場合にQ出力であるRLED0～7をLにする。同FFR0～FFR7は、KEEP信号の入力がHである場合、READL_WITH信号の入力がHであるときにLEDCLK信号がL→HとあるとD入力であるORゲートGR30～37出力をラッチし、READL_WITH信号の入力がLであるときにはLEDCLK信

号がL→HとなってもQ出力であるRLED0～7の状態を保持する。

FFR0～FFR7からのQ出力は、正論理のRLED0～RLED7信号とされて各NOTゲートGR40～GR47に inputs され、反転信号が負論理のRLED0～RLED7信号とされてDR0～7のカソード側に inputs される。

シーケンサ61からのREADL__WRITH信号は反転されて各ANDゲートGR10～17に inputs されるとともに、各FFR0～FFR7のQ出力がそのまま各ANDゲートGR10～17に inputs され、READL__WRITH信号の反転信号と各FFR0～FFR7のQ出力との論理積が各ORゲートGR30～37に inputs される。各FFR0～FFR7のQ出力であるRLED0～RLED7信号（正論理）は、別の各ANDゲートGR20～27にも inputs される。各ANDゲートGR20～27には、解除用分周回路71からのKEEP信号も inputs される。

ここで、上位から2番目のANDゲートFFR6には、正論理のRLED6とKEEP信号の他、より上位となる負論理のRLED7信号も inputs され、これらの信号の論理積がORゲートGR36に inputs される。図示を省略しているが、上位から3番目のANDゲートFFR5には、正論理のRLED5とKEEP信号の他、より上位となる負論理のRLED6～RLED7信号も inputs され、これらの信号の論理積がORゲートGR36に inputs される。以下、同様である。従って、最下位のANDゲートFFR0には、正論理のRLED0とKEEP信号の他、より上位となる負論理のRLED1～RLED7信号も inputs され、これらの信号の論理積がORゲートGR30に inputs される。

各デコードDER0～DER7の出力信号と、各ANDゲートGR10～17の出力信号と、各ANDゲートGR20～27の出力信号とは、各ORゲートGR30～37に inputs され、これらの信号の論理和が各FFR0～FFR7のD入力とされる。

図18は、上記LEDデコード72が正論理のRLED0～RLED7信号を生成するときの入力側のREADL__WRITH、DERi、正論理のRLEDi、KEEP、負論理のRLEDi、LEDCLK信号と出力側のRLEDi信号（正論理）との状態を機能テーブルにより示している。ここで、iは0～7の

整数のいずれかであり、 j は i が 6 以下であるときに $i + 1 \sim 7$ の整数の全てを表している。また、負論理の $RLED\ j$ 信号の欄に記した“(L)”は、 $RLED\ j$ 信号のいずれかが L であることを示している。

図に示すように、KEEP 信号が L（解除状態）の場合、 $FFR0 \sim FFR7$ 信号は他の信号の状態に関係なく Q 出力を L にするので、 $RLED0 \sim 7$ 信号は L となる。その結果、全ての読み出し表示用 LED は消灯状態となる。

以下、KEEP 信号が H である場合について説明する。

READL__WRITH 信号が L（読み出しカウント状態）の場合、 $FFR0 \sim FFR7$ は KEEP 信号を除いた他の信号の状態に関係なく Q 出力を保持するので、LEDCLK 信号が L \rightarrow H となっても Q 出力である $RLED0 \sim 7$ 信号の状態を保持する。その結果、全ての読み出し表示用 LED の点灯状態は変化しない。なお、READL__WRITH 信号が L の場合に LEDCLK 信号が立ち上がるタイミングでは、図 5 に示すように MASK 信号が L（マスク状態）であって CLR 信号が立ち下がる時点であるため、アクセスカウンタ 63 からは SDRAM からの書き込みの回数がリセットされずに出力されている。従って、 $FFR0 \sim FFR7$ は $DER\ i$ 信号の状態を保持する必要がある。

以下、READL__WRITH 信号が H（書き込みカウント状態）である場合について説明する。なお、READL__WRITH 信号が H の場合に LEDCLK 信号が立ち上がるタイミングでは、図 5 に示すように MASK 信号が L（マスク状態）であって CLR 信号が立ち下がる時点であるため、アクセスカウンタ 63 からは SDRAM からの読み出しの回数がリセットされずに出力されている。

アクセスカウンタのカウント数が少なくて $DER\ i$ 信号の状態が L であり、かつ、正論理の $RLED\ i$ 信号の状態も L（消灯状態）である場合、AND ゲート $GR10 \sim 17$ 、 $GR20 \sim 27$ の出力はともに L であるため、より上位である負論理の $RLED\ j$ 信号の状態に関係なく OR ゲート $GR30 \sim 37$ の出力は L となる。この場合、LEDCLK 信号が立ち上がると、 $FFR0 \sim FFR7$ は L の D 入力をラッチするので、Q 出力である $RLED0 \sim 7$ 信号の状態は L（消灯状態）となる。

アクセスカウンタのカウント数が増えて $DER\ i$ 信号の状態が H になると、正

論理のRLED_i信号や負論理のRLED_jの状態に関係なく、ORゲートGR30～37の出力はHになる。この場合、LEDCLK信号が立ち上がると、FFR0～FFR7はHのD入力をラッチするので、Q出力であるRLED0～7信号の状態はH（点灯状態）となる。図16の例では、DR2, 4, 5がタイミングt11→t12で消灯状態から点灯状態に変化している様子が示されている。

アクセスカウンタのカウント数が減ってDER_i信号の状態がLになっても、RLED_i信号の状態がHであり、かつ、より上位である負論理のRLED_j信号の状態が全てH（消灯状態）あれば、ANDゲートGR20～27の出力がHになるため、ORゲートGR30～37の出力はHのままとなる。なお、最上位のANDゲートGR27には負論理のRLED_j信号が入力されないが、正論理のRLED_i信号の出力は負論理のRLED_j信号がHであるとしたときの状態となる。この場合、LEDCLK信号が立ち上がると、FFR0～FFR7はHのD入力をラッチするので、Q出力であるRLED0～7の状態はH（点灯状態）のままとなる。図16の例では、より上位のDR6～7が消灯状態であるDR5がタイミングt12→t13で点灯状態が保持されている様子が示されている。

これにより、読み出しの頻度についてのピークホールド機能が実現され、SDRAMからの読み出しの最大頻度に対応するLED表示を保持することができる。これにより、半導体メモリからのデータ読み出しの頻度に対応する表示が分かりやすくなるので、データ読み出し状況が把握しやすくなり、メモリモジュールを使用する際の利便性が向上する。

一方、DER_i信号の状態がL、RLED_i信号の状態がHであり、かつ、より上位である負論理のRLED_j信号の状態のいずれかがL（点灯状態）であれば、ANDゲートGR10～17, GR20～27の出力はともにLになるため、ORゲートGR30～37の出力はLに変化する。この場合、LEDCLK信号が立ち上がると、FFR0～FFR7はLのD入力をラッチするので、Q出力であるRLED0～7の状態はL（消灯状態）に変化する。図16の例では、より上位のDR5が点灯状態であるDR3～4がタイミングt12→t13で点灯状態から消灯状態に変化している様子が示されている。

なお、アクセスの頻度が前回のアクセスの最大頻度を超えた場合、アクセスの

最大頻度に対応する表示は更新される。図 1 6 の例では、最大頻度に対応して表示されていた L E D は、タイミング $t_{11} \rightarrow t_{13}$ で D R 3 から D R 5 に変化していることが示されている。

その後、S D R A M からの読み出しの最大頻度に対応する表示は、K E E P 信号が L（解除状態）になるタイミングでリセットされる。従って、図 1 6 の D R 6 は、K E E P 信号が L になった時点で消灯状態になる。このように、半導体メモリからの読み出しの最大頻度に対応する表示の保持が定期的に解除されるので、データ読み出しの頻度を容易に把握可能である。

以上の構成により、本アクセス表示モジュール 1 0 は、読み出しカウント状態の所定期間中、S D R A M からの読み出しの回数を共通のアクセスカウンタでカウントし、同所定期間終了時、カウントした回数に対応する数の読み出し表示用 L E D を表示する。

一方、表示部 4 2 にて S D R A M への書き込みというアクセスの種類に対応した表示素子にて当該 S D R A M に対する当該種類のアクセスの頻度に対応する表示を行う場合にも、同様の作用により当該表示を行うことができる。

図 1 9 は、上記 L E D デコーダ 7 3 が正論理の W L E D 0 ~ W L E D 7 信号を生成するときの入力側の R E A D L _ W R I T H、D E W : i、正論理の W L E D i、K E E P、負論理の W L E D i、L E D C L K 信号と出力側の W L E D i 信号（正論理）との状態を機能テーブルにより示している。図 1 5 で示したように、R E A D L _ W R I T H 信号を N O T ゲート 7 3 a で反転させているため、図 1 8 の機能テーブルとは R E A D L _ W R I T H 信号の状態が反対になっている。N O T ゲート 7 3 a 以外の L E D デコーダ 7 3 の構成は読み出し表示用の L E D デコーダ 7 2 の構成と同じであるため、R E A D L _ W R I T H 信号以外の状態は図 1 8 の機能テーブルと同じになっている。

以上の構成により、本アクセス表示モジュール 1 0 は、書き込みカウント状態の所定期間中、S D R A M からの書き込みの回数を共通のアクセスカウンタでカウントし、同所定期間終了時、カウントした回数に対応する数の書き込み表示用 L E D を表示する。また、書き込みの頻度についてのピークホールド機能が実現され、S D R A M からの書き込みの最大頻度に対応する L E D 表示を保持するこ

とができる。これにより、半導体メモリへのデータ書き込みの頻度に対応する表示が分かりやすくなるので、メモリモジュールを使用する際の利便性が向上する。

なお、図20に示すように、読み出し表示用のLEDデコーダ72の各DER0～DER7出力を、書き込み表示用のLEDデコーダ73の各ORゲートGW30～37に入力しても、同様の作用、効果が得られる。アクセスカウンタのみならずデコーダも共通にすることができるので、表示回路を構成するLEDデコーダも簡素化させることができ、PLDを用いる場合にはロジック数を削減することが可能となる。

以上説明したように、本アクセス表示モジュールは、本体コネクタ91に接続端子22が接続され、コネクタ23にメモリモジュール接続端子82が接続されたとき、メモリモジュールへ供給されるCLK信号を利用して、SDRAMからのデータ読み出しの頻度を計測する期間とSDRAMへのデータ書き込みの頻度を計測する期間とを分け、アクセスの頻度をアクセスの種類別に計測し、アクセスの種類に対応した表示素子にてアクセスの頻度に対応する表示を行う。これにより、メモリモジュールに搭載された半導体メモリに対してどのようなアクセスが行われているのかを容易に把握することが可能となり、メモリモジュールを使用する際の利便性を良好にさせることが可能となる。半導体メモリは磁気ディスクのような磁気記録媒体と比べて非常に速いアクセスが行われるが、このような半導体メモリに対するアクセスの頻度を容易に把握することができるので、この点でも利便性が良好である。

また、本アクセス表示モジュールは、アクセスの種類に対応した表示素子にて、半導体メモリに対する当該種類のアクセスの頻度に対応する表示を行うとともに当該アクセスの最大頻度に対応する表示を保持する。これにより、半導体メモリに対するアクセスの頻度に対応する表示が分かりやすくなるので、半導体メモリへのアクセス状況をさらに容易に把握することが可能となり、この点でもメモリモジュールを使用する際の利便性を良好にさせることが可能となる。

さらに、本アクセス表示モジュールは、メモリモジュール用のCLK信号に同期して動作するため、CLK信号の周波数に関係なく動作する。

上述したように、本アクセス表示モジュールはアダプタ形式とされているので、

表示手段が設けられていないメモリモジュールでも本モジュールを介してコンピュータ本体に接続することにより、メモリモジュールを通常通り動作させながらアクセスの頻度に対応した表示を行うことができる。

(3) 変形例：

本発明は、様々な変形例が考えられる。

アクセスの頻度を表示する半導体メモリを搭載したメモリモジュールは、ECC (Error Correction Code) 無しでも、ECC付きでもよい。また、メモリモジュールは様々なメモリ容量とすることができるし、DIMM以外にも、SIMM等であってもよい。1バンクのみからなるメモリモジュールでは、CS0信号またはCS1信号をそのまま上記CS信号にすれば、本発明を適用することができる。また、3バンク以上からなるメモリモジュールでは、複数のセレクト信号から上記CS信号を生成することによって、本発明を適用することができる。

上記各部61～63，71～73は、表示ユニット内に設けられる以外にも、一部あるいは全部をアダプタ部に設けられる構成としてもよい。例えばシーケンサとコマンドデコーダをアダプタ部に設けると、信号ケーブルを介してCLK、CMD_EN、READL_WITH、MASK、CLR、LEDCLK信号を伝達すればよいので、各LEDを別々に点灯駆動するための信号を信号ケーブルで伝達する必要がなく、信号ケーブルの本数を少なくさせることができる。

また、アクセスカウンタが読み出し表示用と書き込み表示用とで別々に設けられる構成としてもよい。この場合、回路が多くなるもののより正確にアクセスの種類別にアクセスの頻度に対応する表示を行うことが可能となる。

なお、アクセスの種類として、半導体メモリのデータの消去や、データのベリファイに対応する表示素子を設け、これらのアクセスの種類に対応するアクセスの頻度を対応する表示素子にて表示してもよい。すると、データの消去やベリファイが予期された動作であるか否かを容易に把握することができるので、さらに利便性が向上する。

さらに、ピークホールド機能を設けず、アクセスの種類に対応した表示素子にて半導体メモリに対する当該種類のアクセスの頻度に対応する表示を行ってもよい。この場合も、本発明に含まれる。

一方、全アクセスをまとめた頻度を表示するとともに全アクセスの最大頻度の表示を保持してもよい。この場合も、本発明に含まれる。

以上説明したように、本発明によると、種々の態様により、メモリモジュールを使用する際の利便性を向上させることが可能となる。

We claim

1. コンピュータ本体に接続される規格化されたメモリモジュールに搭載された読み書き可能な半導体メモリへのアクセス状況を表示素子にて表示する表示回路を備えるメモリモジュール用表示装置であって、

上記表示素子は、上記半導体メモリへのアクセスの種類別に対応してそれぞれ設けられ、

上記表示回路は、上記アクセスの種類に対応した上記表示素子にて上記半導体メモリに対する当該種類のアクセスの頻度に対応する表示を行うことを特徴とするメモリモジュール用表示装置。

2. 上記表示回路は、上記アクセスの種類に対応した上記表示素子にて、上記半導体メモリに対する当該種類のアクセスの頻度に対応する表示を行うとともに当該アクセスの最大頻度に対応する表示を保持することを特徴とするクレーム1に記載のメモリモジュール用表示装置。

3. 上記コンピュータ本体には汎用の本体コネクタが設けられるとともに、上記メモリモジュールには同本体コネクタに接続可能なメモリモジュール接続端子が設けられ、

本メモリモジュール用表示装置は、上記メモリモジュール接続端子と同形状の接続端子と、上記本体コネクタと同形状のコネクタとが設けられ、

上記表示回路は、上記本体コネクタに上記接続端子が接続され、上記コネクタに上記メモリモジュール接続端子が接続されたとき、上記アクセスの種類に対応した上記表示素子にて上記半導体メモリに対する当該種類のアクセスの頻度に対応する表示を行うことを特徴とするクレーム1に記載のメモリモジュール用表示装置。

4. 上記表示回路は、上記アクセスの種類別に所定期間中における上記半導体メモリへのアクセスの回数をカウントし、カウントした回数に対応する表示を上記アクセスの種類に対応した表示素子にて行うことを特徴とするクレーム1に記載のメモリモジュール用表示装置。

5. 上記表示素子は、上記アクセスの種類別にそれぞれ複数設けられ、

上記表示回路は、上記アクセスの種類に対応した表示素子であって上記カウントした回数に対応する数の表示素子を表示させることを特徴とするクレーム4に記載のメモリモジュール用表示装置。

6. 上記表示回路は、

上記アクセスの種類に関係なく上記アクセスの回数をカウントする共通のカウンタ回路を備え、

所定のクロック信号を入力して上記所定期間に対応した期間毎に上記アクセスの種類に対応して状態が順次変化するカウント用信号を生成し、

上記所定期間中、上記カウント用信号の状態に対応する種類のアクセスの回数を上記共通のカウンタ回路でカウントし、同所定期間終了時、当該種類に対応した上記表示素子にて同カウントした回数に対応する表示を行うことを特徴とするクレーム4に記載のメモリモジュール用表示装置。

7. 上記アクセスの種類は、上記半導体メモリへの書き込みと同半導体メモリからの読み出しとからなり、

上記メモリモジュールは、上記コンピュータ本体から入力されるパルス状のクロック信号に同期して上記半導体メモリへのアクセスを行うとともに、上記半導体メモリについて選択状態を表すセレクト信号を上記コンピュータ本体から入力すると、当該コンピュータ本体から入力される書き込みの可否を表すライトイネーブル信号の状態に対応するアクセスを同半導体メモリに対して行うモジュールとされ、

上記表示回路は、

上記アクセスの種類に関係なく上記アクセスの回数をカウントする共通のカウンタ回路と、

上記クロック信号を分周して上記所定期間に対応した期間毎に書き込みカウント状態と読み出しカウント状態との間で状態が交互に変化するカウント用分周信号を生成するカウント用分周回路とを備え、

上記カウント用分周信号が書き込みカウント状態である場合、上記所定期間中、上記ライトイネーブル信号が書き込み許可を表す信号とされているときに上記コ

ンピュータ本体から上記選択状態を表すセレクト信号が入力された回数を上記共通のカウンタ回路でカウントし、同所定期間終了時、書き込みに対応した上記表示素子であって同カウントした回数に対応する数の表示素子を表示させ、

上記カウント用分周信号が読み出しカウント状態である場合、上記所定期間中、上記ライトイネーブル信号が書き込み不可を表す信号とされているときに上記コンピュータ本体から上記選択状態を表すセレクト信号が入力された回数を上記共通のカウンタ回路でカウントし、同所定期間終了時、読み出しに対応した上記表示素子であって同カウントした回数に対応する数の表示素子を表示させることを特徴とするクレーム5に記載のメモリモジュール用表示装置。

8. コンピュータ本体に接続される規格化されたメモリモジュールに搭載された読み書き可能な半導体メモリへのアクセス状況を表示素子にて表示する表示回路を備えるメモリモジュール用表示装置であって、

上記表示回路は、上記表示素子にて、上記半導体メモリに対するアクセスの頻度に対応する表示を行うとともに当該アクセスの最大頻度に対応する表示を保持することを特徴とするメモリモジュール用表示装置。

9. 上記メモリモジュールは、上記コンピュータ本体から入力されるパルス状のクロック信号に同期して上記半導体メモリへのアクセスを行うとともに、上記半導体メモリについて選択状態を表すセレクト信号を上記コンピュータ本体から入力すると、当該コンピュータ本体から入力される書き込みの可否を表すライトイネーブル信号の状態に対応するアクセスを同半導体メモリに対して行うモジュールとされ、

上記表示回路は、

上記アクセスの回数をカウントするカウンタ回路と、

上記クロック信号を分周して上記所定期間に対応した周期のカウント用分周信号を生成するカウント用分周回路と、

上記クロック信号を分周して上記カウント用分周信号の周期よりも長い所定期間毎に上記アクセスの最大頻度に対応する表示の保持の解除状態を表す信号を生成する解除用分周回路とを備え、

上記所定期間中、上記コンピュータ本体から上記選択状態を表すセレクト信号

が入力された回数を上記カウンタ回路でカウントし、同所定期間終了時、カウントした回数に対応する数の上記表示素子を表示させるとともに、

上記解除状態を表す信号が生成されたとき、上記アクセスの最大頻度に対応する表示の保持を解除することを特徴とするクレーム 8 に記載のメモリモジュール用表示装置。

10. コンピュータ本体に設けられた汎用の本体コネクタに接続可能なメモリモジュール接続端子を有する規格化されたメモリモジュールに搭載された読み書き可能な半導体メモリへのアクセス状況を表示素子にて表示するメモリモジュール用表示装置であって、

上記メモリモジュール接続端子と同形状の接続端子と、

上記本体コネクタと同形状のコネクタと、

上記本体コネクタに上記接続端子が接続され、上記コネクタに上記メモリモジュール接続端子が接続されたとき、上記半導体メモリに対するアクセスの頻度に対応する表示を上記表示素子にて行う表示回路とを具備することを特徴とするメモリモジュール用表示装置。

11. 上記接続端子が形成されるとともに上記コネクタが取り付けられた基板と、

この基板に接続されて引き出された信号ケーブルと、

この引き出された信号ケーブルが接続されて上記表示素子を実装した表示ユニットとをさらに備えることを特徴とするクレーム 10 に記載のメモリモジュール用表示装置。

abstract

メモリモジュールを使用する際の利便性を向上させることを課題とする。

表示素子を半導体メモリへのアクセスの種類別に対応してそれぞれ設け、アクセスの種類に対応した表示素子にて半導体メモリに対する当該種類のアクセスの頻度に対応する表示を行う構成にした。また、表示素子にて、半導体メモリに対するアクセスの頻度に対応する表示を行うとともに当該アクセスの最大頻度に対応する表示を保持する構成にした。さらに、本体コネクタ 9 1 に接続端子 2 2 を接続し、コネクタ 2 3 にメモリモジュール接続端子 8 2 を接続したとき、半導体メモリに対するアクセスの頻度に対応する表示を表示素子にて行う構成にした。